

特長

- 高性能
 - 全ピンが、ピン間遅延 5ns
 - f_{CNT} は 125MHz (最大)
- 広範囲の集積度
 - 800~6,400の使用ゲート数で36~288個のマクロセル数
- 5Vのイン・システム・プログラミング (ISP)
 - 10,000回のプログラム/消去回数
 - コマーシャル品の電圧と全保証動作範囲でのプログラム/消去が可能
- ピン固定アーキテクチャの強化
- 柔軟性に富む 36V18ファンクション・ブロック
 - 90個の積項はファンクション・ブロック内の18個のマクロセルの全部または任意の一部を駆動可能。
 - グローバル・クロックおよび積項クロック、出力イネーブル、セット信号およびリセット信号を装備
- 標準のIEEE 1149.1バウンダリ・スキャン (JTAG) のサポート
- 各マクロセル内におけるプログラマブルな低消費電力モード
- 各出力にスルー・レート・コントロールが可能
- ユーザ・プログラマブルなグラウンド・ピン機能
- デザイン保護用に拡張されたパターン・セキュリティ機能
- 24mAの高駆動電流
- 3.3Vまたは5VのI/O
- PCI準拠 (-5、-7、-10のスピード・グレード)
- 最先端のCMOS 5V FastFLASH™技術
- 複数のXC9500デバイスに対する並列プログラミングをサポート

ファミリの概要

XC9500CPLDファミリは、高性能汎用ロジック集積回路の最新のイン・システム・プログラミング機能とテスト機能を提供します。全デバイスで、イン・システム・プログラミングが可能で、最低10,000回のプログラム/消去回数を保証しています。ファミリの全デバイスで、IEEE1149.1バウンダリ・スキャン (JTAG) をサポートしています。

表1に示すように、XC9500ファミリのデバイスは、それぞれ36~288個のレジスタを有し、使用ゲート数が800~6,400と広範囲のロジック集積度を提供します。複数のパッケージ・オプションおよび対応するI/Oピン数を表2に示します。XC9500ファミリは他のファミリとピン互換があり、与えられたフットプリントのもとで、種々の集積度のデバイス間でデザインの移行が容易に行えるようになっています。

XC9500のアーキテクチャ上の特長は、イン・システム・プログラミングに対する要求に充分に応えています。強化されたピン固定機能を使用すると、PCボードの高価な再設計作業が回避できます。拡張JTAGインストラクションセットにより、書き込みパターンおよびイン・システム・デバッグのバージョン・コントロールが可能になります。デバイスの全動作範囲で有効なイン・システム・プログラミングおよび最低10,000回のプログラム/消去回数を利用すると、容易にリコンフィギュレーションとフィールドでのシステム・アップグレードが可能になります。

最新のシステム機能には、出力スルー・レート・コントロールやシステム・ノイズを低減するためのユーザ・プログラマブルなグラウンド・ピン機能などがあります。I/Oは3.3Vまたは5V動作用にコンフィギュレーション可能です。全出力は24mAの駆動能力を持っています。

アーキテクチャの説明

XC9500の各デバイスは、FastCONNECT (TM) スイッチ・マトリクスにより完全に相互接続される複数のファンクション・ブロック (FB) とI/Oブロック (IOB) で構成されます。IOBはデバイスの入力および出力に対してバッファ機能を提供しています。各FBは、36個の入力と18個の出力を持ち、かつプログラマブルなロジック機能を提供しています。FastCONNECTスイッチ・マトリクスにより、全てのFBの出力信号と入力信号をFBの入力に接続することが可能です。各FBでは、12~18個の出力 (パッケージのピン数によります) と関連した出力イネーブル信号がIOBを直接駆動します (図1参照)。

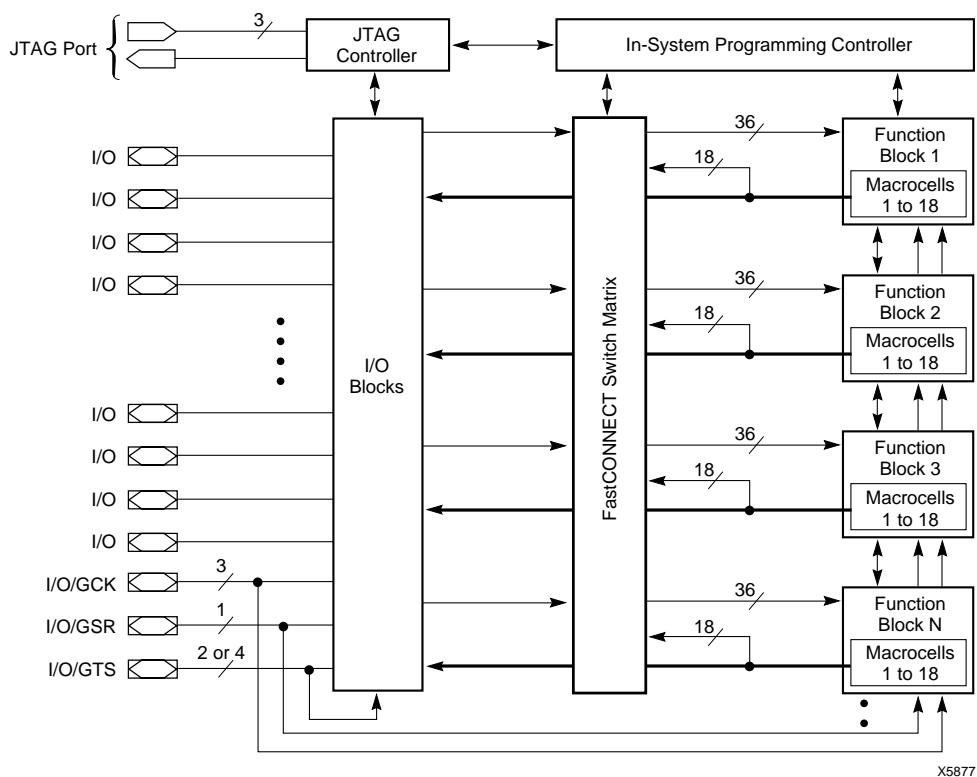


図1: XC9500のアーキテクチャ

注:ファンクション・ブロック出力(太線で表示)はI/Oブロックを直接駆動します。

表 1: XC9500 デバイス・ファミリ

	XC9536	XC9572	XC95108	XC95144	XC95216	XC95288
Macrocells	36	72	108	144	216	288
Usable Gates	800	1,600	2,400	3,200	4,800	6,400
Registers	36	72	108	144	216	288
t _{PD} (ns)	5	7.5	7.5	7.5	10	15
t _{SU} (ns)	4.5	5.5	5.5	5.5	6.5	8.0
t _{CO} (ns)	4.5	5.5	5.5	5.5	6.5	8.0
f _{CNT} (MHz)	100	125	125	125	111	95
f _{SYSTEM} (MHz)	100	83	83	83	67	56

注: f_{CNT} = 16ビット・カウンタの動作周波数

f_{SYSTEM} = 複数のFBを使用する汎用システム・デザインに対する内部動作周波数

表 2: パッケージとデバイス I/O ピン数 (専用の JTAG ピンは含みません)

	XC9536	XC9572	XC95108	XC95144	XC95216	XC95288
44-Pin PLCC	34	34				
44-Pin VQFP	34					
84-Pin PLCC		69	69			
100-Pin TQFP		72	81			
100-Pin PQFP		72	81	81		
160-Pin PQFP			108	133	133	
208-Pin HQFP					166	168
352-Pin BGA					166	192

注: 変更されることがあります。

ファンクション・ブロック

図2に示す各ファンクション・ブロック (FB) は、18個の独立したマクロセルで構成されており、各マクロセルで組み合わせロジック回路またはレジスタ付ロジック回路を作れます。FBには、グローバル・クロック、出力イネーブル、およびセット信号/リセット信号も入力することができます。FBは18個の出力を生成し、これらは FastCONNECT スイッチ・マトリクスを駆動します。これら18個の出力および対応する出力イネーブル信号は、IOBも駆動します。

FB内のロジックは"積項の和"による表現を使用して実現されます。36個の入力は、72個の反転/非反転信号を提供しますが、これらはプログラマブルANDアレイに入力され、90個の積項を

生成します。最大90個の使用可能なこれら積項の内、任意の個数を、積項アロケータを使用して各マクロセルに割り当てることができます。

各FB (XC9536は除きます) はローカルなフィードバック・パスをサポートしており、このフィードバック・パスを使用すると、FBの外に出ることなく任意数のFB出力が自分自身のプログラマブルなANDアレイを駆動することが可能となります。これらのパスは、非常に高速なカウンタやステート・マシン (全てのステート・レジスタを同一FB内におきます) を生成するときに使用されます。

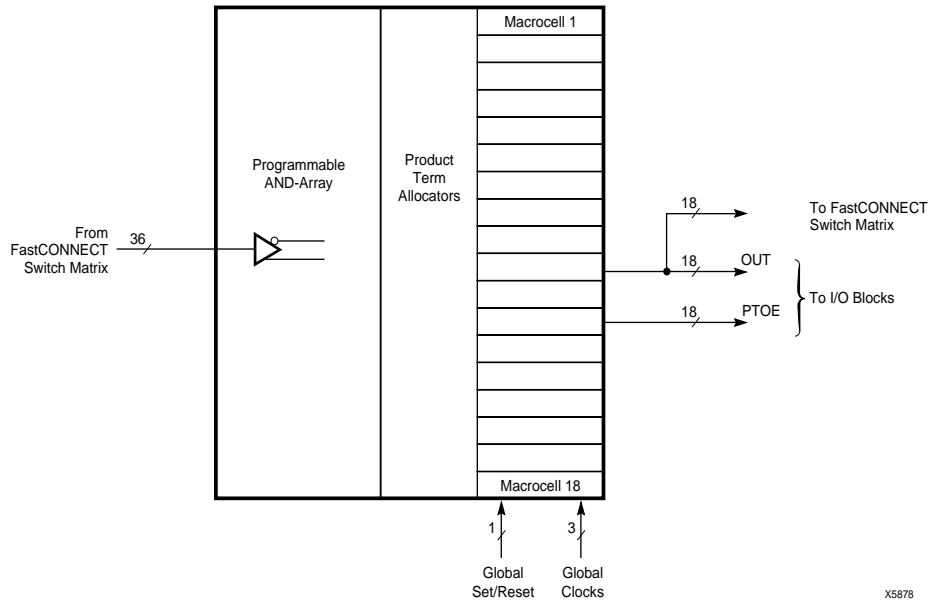


図 2: XC9500 のファンクション・ブロック

マクロセル

各XC9500マクロセルは、個別に組合わせロジック回路またはレジスタ付ロジック回路として独立してコンフィギュレーションできます。図3に、マクロセルおよび対応するFBロジックを示します。

ANDアレイから出力される5個のダイレクト積項は、組合わせロジック回路を実現する際の基本データ入力(ORゲートまたはXORゲートに対する入力)として、あるいはクロック、セット/リセット、出力イネーブルなどのコントロール入力として使用することができます。各マクロセルに対応する積項アロケータが、この5個のダイレクト積項の使用方法を選択します。

マクロセル・レジスタは、D型フリップフロップとして、またはT型フリップフロップとしてコンフィギュレーションできます。あるいは、組合わせロジック回路を作る場合には、バイパスすることも可能です。各レジスタは非同期のセット機能およびリセット機能の両方をサポートしています。パワーアップ時には、全てのユーザ・レジスタがユーザ定義のプリロード・ステータ(デフォルトは0)に初期化されます。

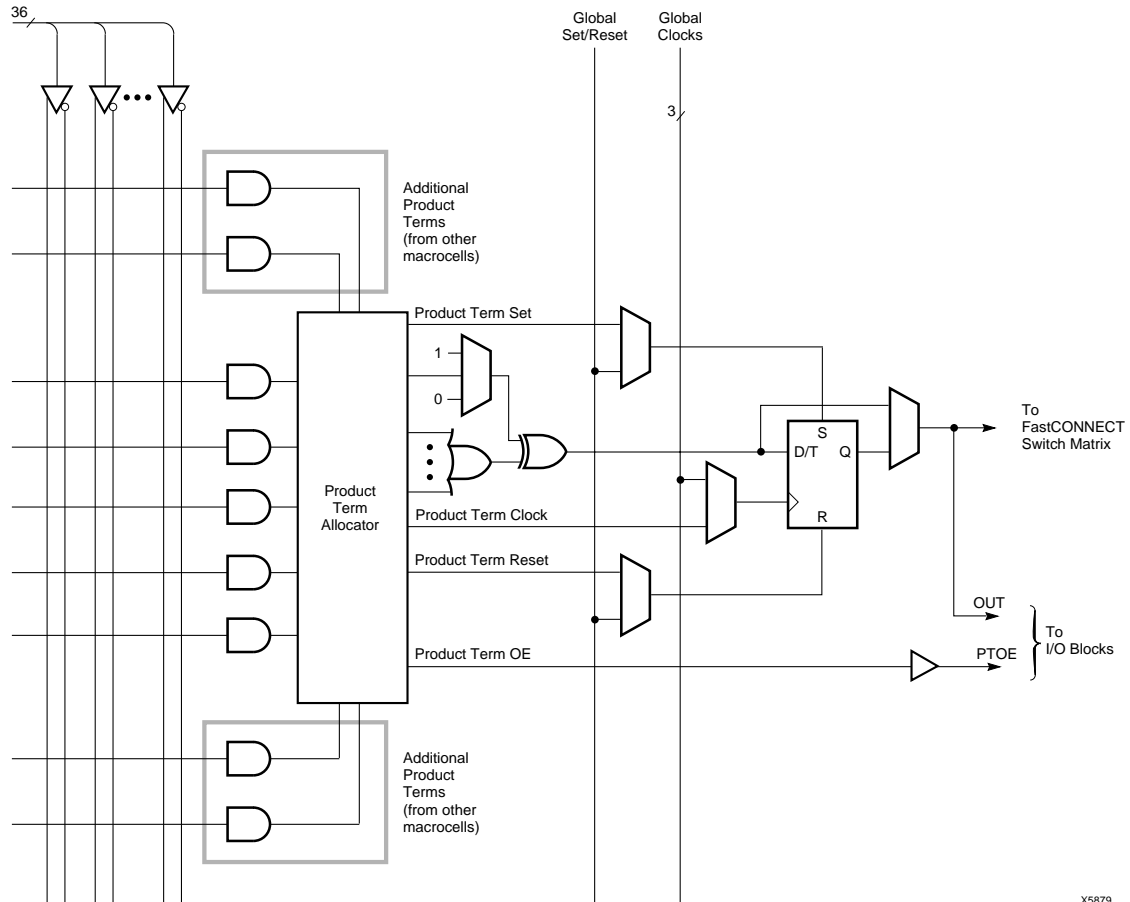


図3: ファンクション・ブロック内のXC9500マクロセル

クロック信号、セット/リセット信号、出力イネーブル信号などの全てのグローバル・コントロール信号が個々のマクロセルで使用できます。図4に示すように、マクロセル・レジスタ・クロックは、3個のグローバル・クロックまたは積項クロックのいずれかから出力

されます。デバイス内では、GCKピン入力の極性選択が可能です。GSR入力も用意されており、これを使用するとユーザ・レジスタをユーザ定義の状態に設定できます。

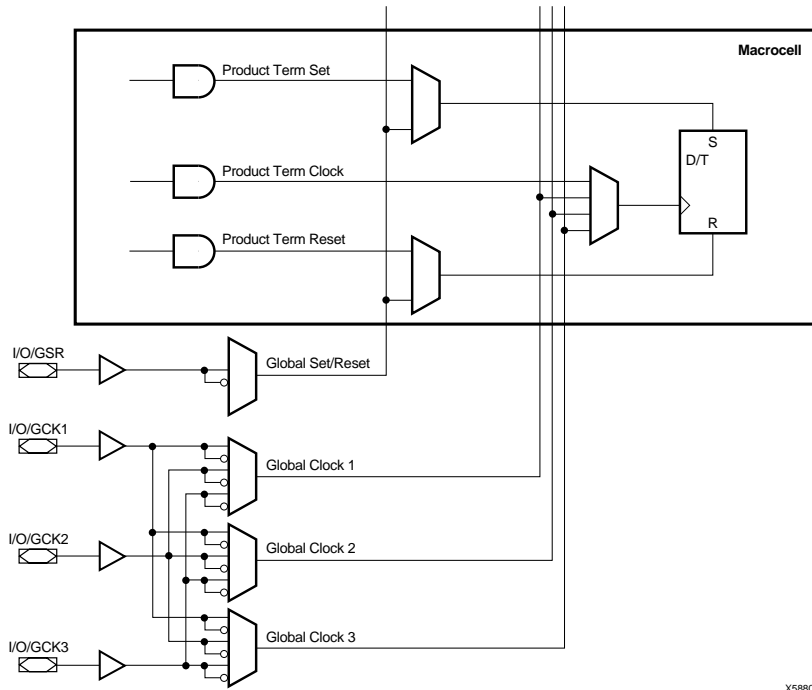


図4:マクロセル・クロックおよびセット/リセット機能

1

積項アロケータ

積項アロケータは、各マクロセルに対する5個のダイレクト積項の割当方法を制御します。例えば、図5に示すように、5個の全積項がORファンクションを駆動することができます。

積項アロケータは、1個のマクロセルのロジック容量として許されたダイレクト積項を5個以上に増やすために、FB内で他の積項の再割当を行うことができます。積項の追加を必要とするマクロセルは、FB内にある他のマクロセルの未使用の積項にアクセスすることができます。図6に示すように、tPTAのわずかな遅延が増加するだけで、1個のマクロセルは最大15個の積項を使用することができます。

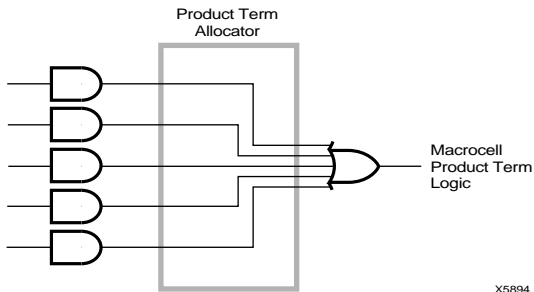


図 5:ダイレクト積項を使用するマクロセル・ロジック

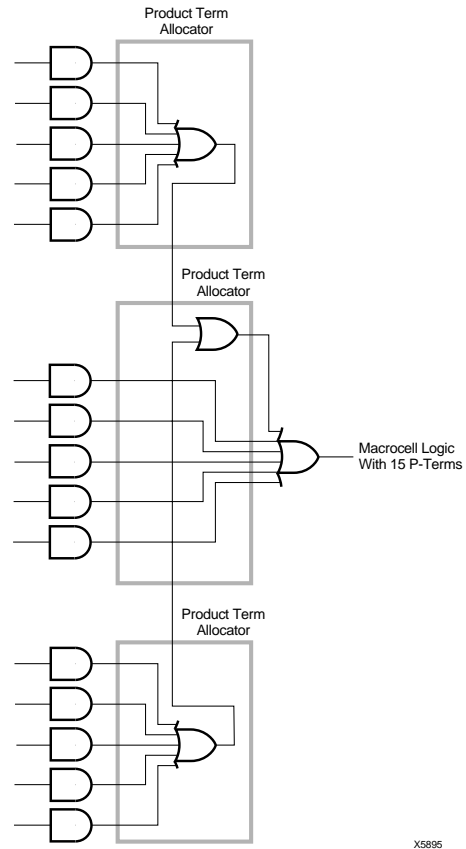
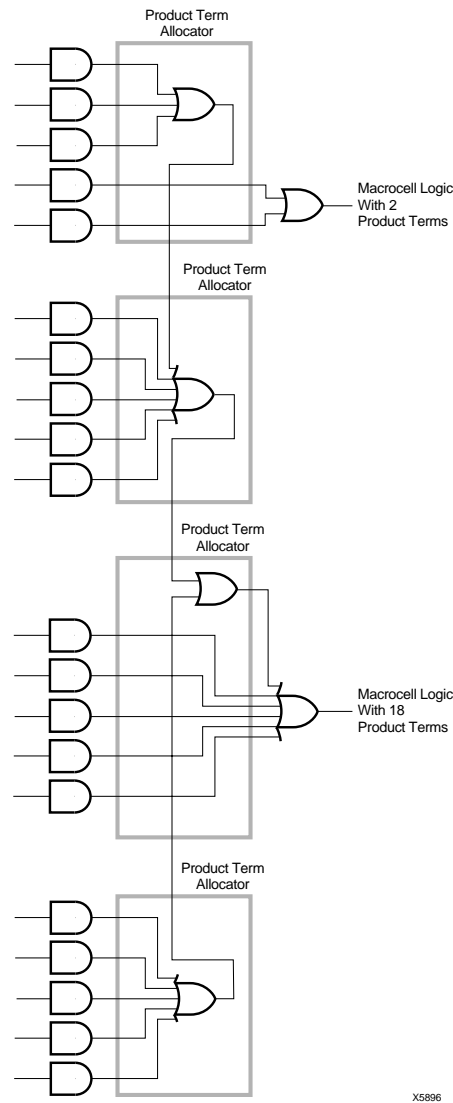


図 6: 15 個の積項による積項の割当

積項アロケータは、幾つかのマクロセル間で積項部分和を結合することにより、FB内で任意のマクロセルから積項を再割当することができます(図7)。この例では、遅延の増加は $2 \cdot t_{PTA}$ で済

んでいます。最大の遅延増加が $8 \cdot t_{PTA}$ 以内で、どのマクロセルも90個の全積項を使用することができます。



1

図 7:複数のマクロセル間での積項の割当

図8に、積項アロケータの内部ロジックを示します。

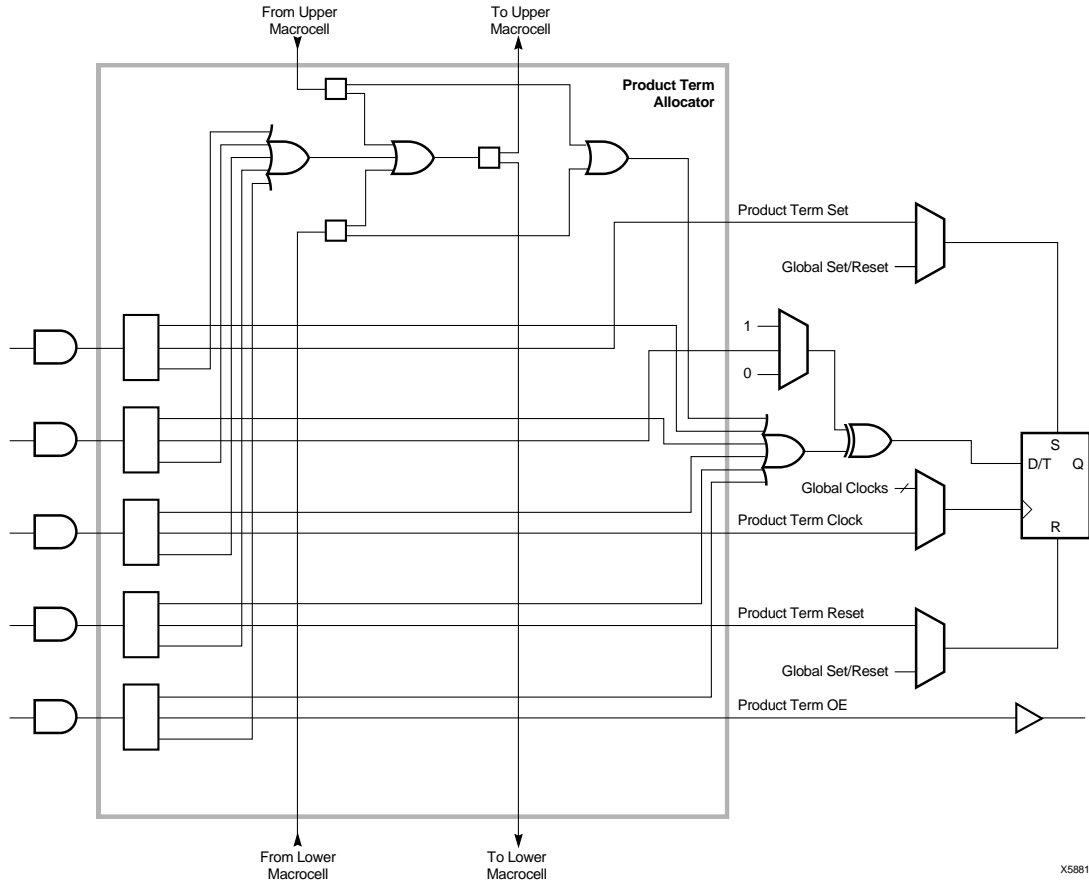


図8:積項アロケータのロジック

X5981

FastCONNECT スイッチ・マトリクス

FastCONNECTスイッチ・マトリクスは、図9に示すように、信号をFB入力に接続するものです。全てのIOB出力(ユーザのピン入力に対応)および全てのFB出力が、FastCONNECTマトリクスを駆動します。これらの信号の任意の本数(FBのファン・イン限界である最大36まで)がプログラミングで選択が可能で、均一な遅延で各FBを駆動します。

FastCONNECTスイッチ・マトリクスは、複数のインターコネクを1つのワイヤードAND出力にまとめた後に、目的のFBを駆動する機能を持っています。この機能により、ロジック機能を追加し、さらにタイミング遅延の増加なしで、相手方FBのロジック実効ファン・インを増加させます。FB出力を出発点とするインターコネクのみが、この機能を使用することができます。この機能は、必要に応じて開発ソフトウェアにより自動的に起動されます。

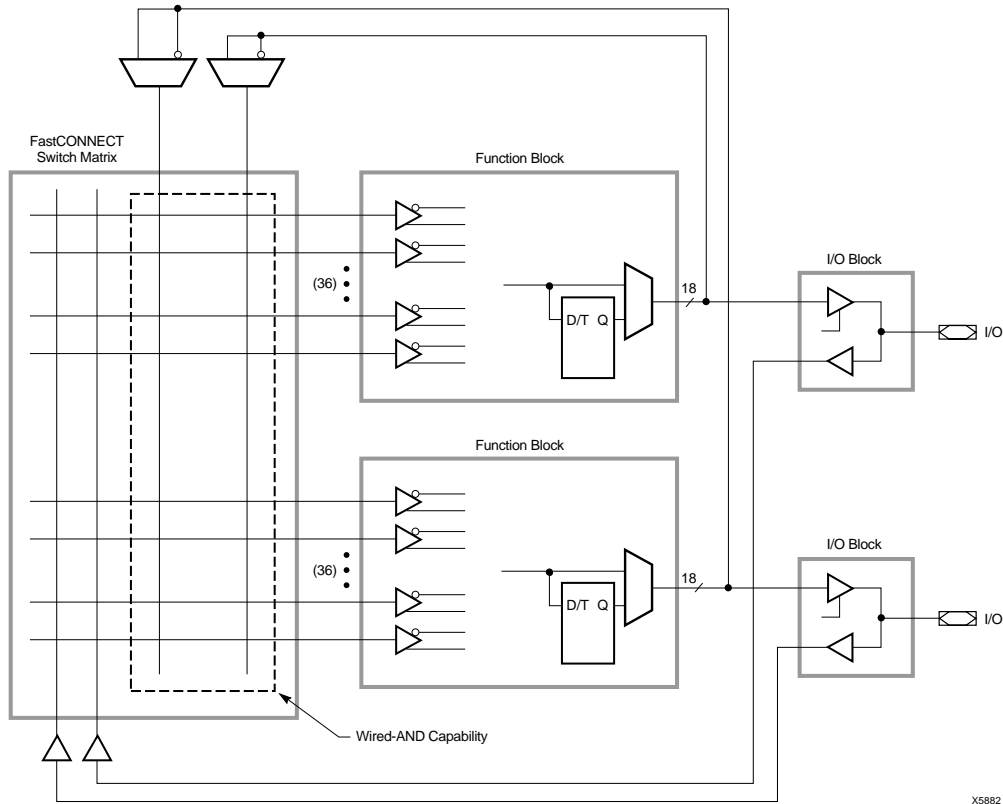


図 9: FastCONNECT スイッチ・マトリクス

I/O ブロック

I/Oブロック (IOB) は、内部ロジックとデバイスのユーザI/Oピンの間をインターフェイスします。各IOBには、入力バッファ、出力ドライバ、出力イネーブル選択用マルチプレクサ、ユーザ・プログラマブルなグラウンド・コントロールが含まれます。図10に詳細を示します。

入力バッファは、標準5V CMOS信号レベル、5V TTL信号レベルおよび3.3V信号レベルと互換性を持っています。入力バッファは、内部5V電源 (VCCINT) を使用して入力スレッシュホルドを一定に保ち、VCCIOが変化しても変動を確実に抑えるようにしています。

出力イネーブルは、マクロセル出力の積項信号、グローバルOE信号、常時"1"信号または常時"0"信号の4つのオプションの内いずれかで生成されたものが使われます。144個までのマクロセルを持つデバイスでは2本のグローバル出力イネーブルが、180個以上のマクロセルを持つデバイスでは4本のグローバル出力イネーブルが、それぞれ使用できます。デバイス内では、どのグローバル・スリーステート・コントロール (GTS) においても両極性が使用できます。

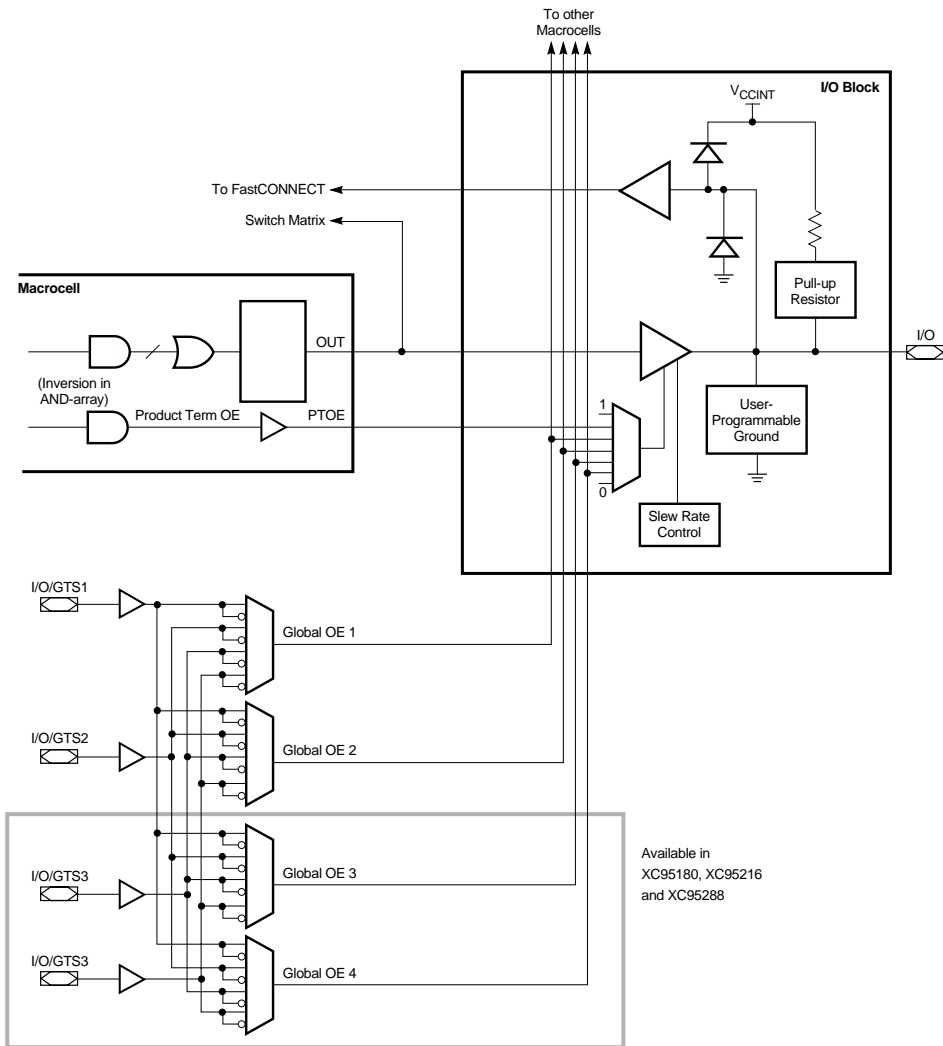


図 10: I/O ブロックおよび出力イネーブル機能

各出力には独立したスルー・レート・コントロールがあります。出力エッジ・レートをプログラミングにより低速化してシステム・ノイズを削減することができます(このときの遅延時間は t_{SLEW} だけ増加します)。図11を参照してください。

各IOBはユーザ・プログラマブルなグラウンド・ピン機能を持っています。これを使用すると、デバイスI/Oピンを追加グラウンド・ピンとしてコンフィギュレーションすることができます。プログラマブルなグラウンド・ピンの配置をよく考慮して、それらを外部グラウンド・ピンに接続することにより、同時スイッチングの多数の出力から発生されるシステム・ノイズを軽減することができます。

コントロール用プルアップ抵抗(標準10K Ω)を各デバイスI/Oピンに接続することで、デバイスが通常のユーザ動作にないときにデバイス・ピンがフローティング状態になることを防止することができます。この抵抗はデバイスのプログラミング・モードおよびシステム・パワーアップ時にアクティブになります。これは消去されたデバイスに対してもアクティブになります。通常の動作時にはこの抵抗は非アクティブになります。

出力ドライバは、24mAの駆動電流を供給する能力があります。デバイスの出力電圧(V_{CCIO})を5Vまたは3.3V電源に接続することにより、デバイスの全出力ドライバを5VのTTLレベルまたは3.3Vレベルにコンフィギュレーションすることができます。

図12に、XC9500デバイスを単一5Vまたは3.3Vと5Vの混在で使用する方法を示します。

ピン固定機能

デザイン変更時にユーザ定義ピンの割当を固定化するこの機能の有効性は、そのアーキテクチャが予期しない変更に対応できる機能を持っているかどうかによって依存します。XC9500デバイスは、同じピン配置を維持したままデザイン変更を許容する機能を強化するアーキテクチャ上の特長を持っています。

XC9500は、FastCONNECTスイッチ・マトリクス内で最大限の配線性を提供し、さらに使用可能な積項のブロック範囲内での割当を可能とするフレキシブルなファンクション・ブロックを採用しています。このことにより、予期しないデザイン変更に対して、入力および出力のピン割当の維持を高い信頼性をもって行うことができます。

最初に選択したデバイスでは利用できない、より高度なロジック機能を必要とする大幅なデザイン変更に対しては、同じピン配置を維持したまま、新デザインをより大きなピン互換のデバイスに移すことができます。再設計なしで同一PC基板にそのまま大規模なデバイスを実装することができます。

1

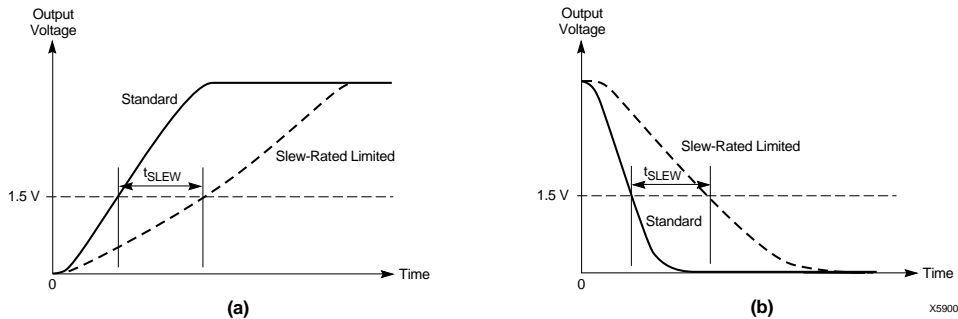


図11:出力スルー・レート・コントロール、(a) 立ち上がりエッジ、および(b) 立ち下がりエッジ

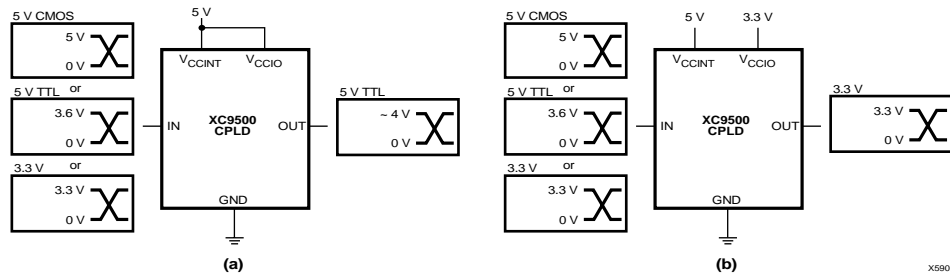


図12: (a) 5Vシステム、および(b) 3.3V/5VシステムにおけるXC9500デバイス

イン・システム・プログラミング

XC9500 デバイスは標準4ピンのJTAG プロトコルを使用して、装置に組み込み状態で書き込みを行うことができます(図13)。このイン・システム・プログラミング機能を使用すると、迅速で効率の良いデザインの繰り返しが可能になり、パッケージの差し替えをなくすることができます。ザイリンクスの開発システムは、ダウンロードケーブル、サード・パーティJTAG 開発システム、JTAG 互換ボード・テスト、またはJTAG インストラクション・シーケンスをエミュレートする簡単なマイクロプロセッサ・インターフェイスを使用してイン・システム・プログラミングを行うためのプログラミング用データ・シーケンスを提供します。

イン・システム・プログラミング中は、全てのI/OがスリーステートになりHighにプルアップされます。この時に、特定の信号がLowレベルを維持しなければならない場合は、プルダウン抵抗をピンに接続することができます。

外部プログラミング

XC9500 デバイスはザイリンクスのHW130デバイス・プログラマを使用してプログラムできますが、同様にサード・パーティ提供のプログラマを使用してプログラムすることもできます。これにより、プログラム済みデバイスを製造工程で使用する柔軟性が追加され、イン・システム・プログラミングは将来の機能強化が必要な時に用いることができます。

イン・システム・プログラミング機能が不要または好ましくないアプリケーションには、XC9500Fファミリを使用することができます。XC9536F、XC9572F、XC95108Fは標準のXC9500デバイスと完全にプラグイン互換があり、同一のJEDECピットマップ、タイミング、機能をサポートしています。XC9500Fデバイスは標準のXC9500ファミリと同様にJTAGの全機能をサポートしていますが、特別なイン・システム・プログラミング・インストラクションをサポートしていません。全てのXC9500Fデバイスは、ザイリンクスのHW130デバイス・プログラマまたはサード・パーティ提供のデバイス・プログラマを使用してプログラムする必要があります。XC9500Fシリーズは、44ピンVQFP、84ピンPLCC、100ピンPQFP、160ピンPQFPのパッケージで供給しています。

書き込み可能回数

全XC9500CPLDは、イン・システム・プログラミングで最低10,000回のプログラム/消去回数を保証しています。各デバイスはこのプログラム許容回数内で全機能、性能、データ保持仕様を満たします。

IEEE 1149.1 バウンダリ・スキャン(JTAG)

XC9500 デバイスは、標準のIEEE 1149.1 バウンダリ・スキャン(JTAG)機能をフルサポートしています。

各デバイスで、EXTEST、SAMPLE/PRELOAD、BYPASS、USERCODE、INTEST、IDCODE、HIGHZの各インストラクションをサポートしています。ISP動作に対しては、1149.1に準拠した拡張インストラクション・セットとして、ISPEN、FERASE、FPGM、FVIFY、ISPEXの5個のインストラクションが追加されています。

デザイン・セキュリティ

XC9500 デバイスは最新のデータ・セキュリティ機能を組み込んでいます。この機能は不正な読み出し、あるいは不慮の消去/プログラムから書き込みデータを保護するものです。表3に、使用できる4種類のセキュリティ設定を示します。

読み出しまたはコピーから内部の書き込みパターンを保護するために、リード・セキュリティ・ビットをユーザが設定することができます。デバイス全体を消去する以外に、リード・セキュリティ・ビットをリセットする方法はありません。

ライト・セキュリティ・ビットは、システムのパワーアップ時のようにJTAGピンにノイズが入った時に、偶発的なデバイスの消去や再プログラムされてしまうような事態に対する保護を提供します。一度このビットをセットしても、有効なパターンでデバイスに書き込みが必要な場合には、この書き込み保護機能を無効に設定することができます。

表 3: データ・セキュリティのオプション

		Read Security	
		Default	Set
Write Security	Default	Read Allowed	Read Inhibited
		Program/Erase Allowed	Program/Erase Allowed
	Set	Read Allowed	Read Inhibited
		Program/Erase Inhibited	Program/Erase Inhibited

X5905

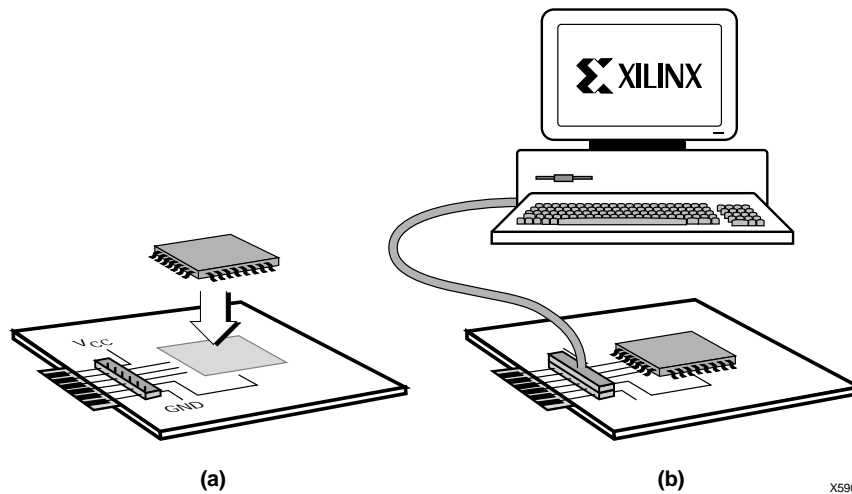


図 13: イン・システム・プログラミング動作、(a) PC 基板にデバイスをハンダ付けして、(b) ダウンロード・ケーブルを使用して書き込みます。

低消費電力モード

全XC9500デバイスで、個々のマクロセルまたは全マクロセルに対して低消費電力モードを提供しています。この機能を使用すると、デバイスの消費電力を大幅に削減できます。

個々のマクロセルに対してユーザが低消費電力モードをプログラムすることができます。アプリケーションで性能がクリティカルな部分は標準の消費電力モードのままに維持し、アプリケーションの他の部分を低消費電力動作にプログラムして、全体の消費電力を削減することができます。低消費電力モードにプログラムしたマクロセルには、ピン間組合わせ遅延 (t_{LP}) とレジスタ・セットアップ・タイムが増加する犠牲が伴います。積項クロック遅延と積項出力イネーブル遅延は、このマクロセル電力設定により影響を受けることはありません。

タイミング・モデル

XC9500アーキテクチャの均一性により、デバイス全体のタイミング・モデルが単純化されました。図14に示す基本タイミング・モデルは、標準消費電力と標準スルー・レートに設定されたダイレクト積項のみを使用するマクロセル・ファンクションに対して有効です。表4に、積項アロケータ (必要な場合) 低消費電力設定、スルー・レート制限設定により、重要なタイミング・パラメータが受ける影響を示します。

積項割当時間は、マクロセル・ファンクションのロジック・スパンに依存します。このロジック・スパンは積項バス内の最大アロケータ数から1を引いたものとして定義されます。ダイレクト積項のみを使用した場合は、ロジック・スパンは0になります。図5に示す例では、スパン1で最大15個の積項が使用できます。図7の場合は18個の積項ファンクションがスパン2を持っています。

詳細なタイミング情報は図15に示すフル・タイミング・モデルから導出することができます。各パラメータの値と説明は個々のデバイスのデータシートに記載されています。その他の情報については、このマニュアルに記載するアプリケーション・ブリーフ「XC9500タイミング・モデルの使用」を参照してください。

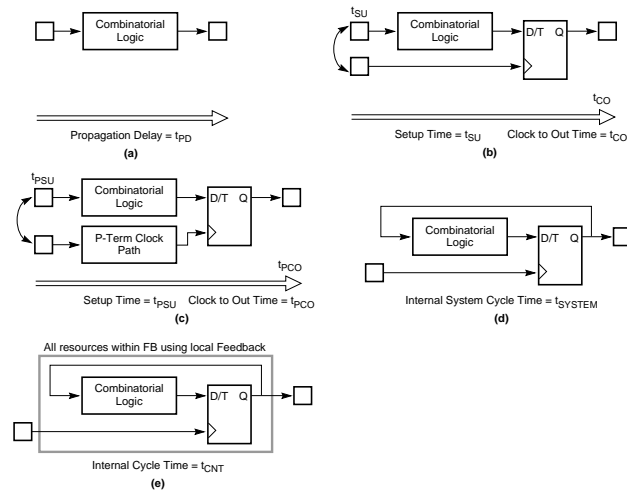


図 14:基本タイミング・モデル

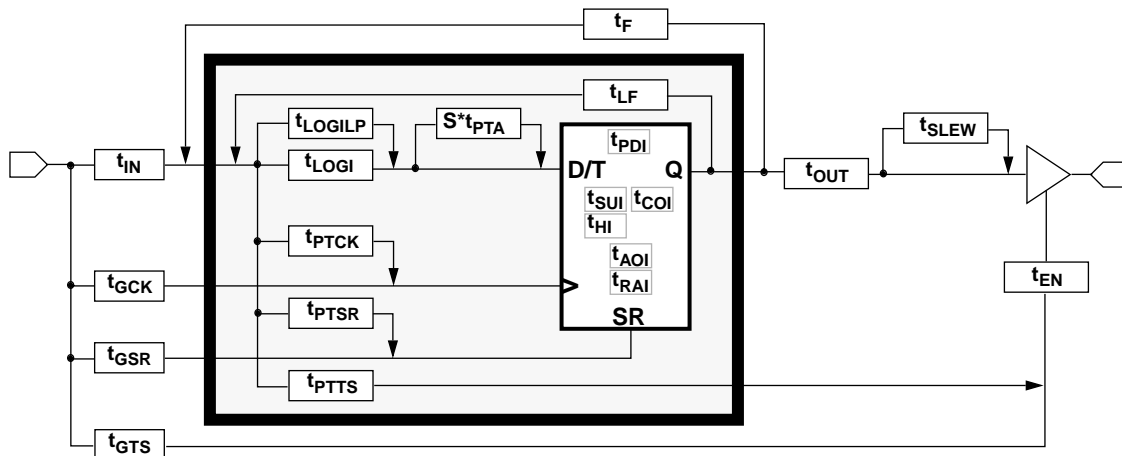


図 15:詳細なタイミング・モデル

パワーアップ特性

XC9500デバイスは、全ての動作条件の下で良く動作します。パワーアップ時には、各XC9500デバイスはVCCINT電源電圧が安全なレベル(約3.8V)になるまでデバイスを静止状態に維持する内部回路を使用します。この間、全デバイス・ピンとJTAGピンがディセーブルされ、さらにIOBプルアップ抵抗(約10K)がディセーブルされて全デバイス出力がディセーブルされます(表5参照)。電源電圧が安全なレベルに到達すると、全ユーザーレジスタ(代表値100 μ s以内、9536から95144は100 μ s以内、95216は200 μ s以内そして95288は300 μ s以内)で初期化され、デバイスは直ちに動作可能になります(図16)。

デバイスが消去状態(ユーザー・パターンをプログラムする前の状態)にある場合は、IOBプルアップ抵抗がディセーブルされて全デバイス出力がディセーブルされています。JTAGピンはディセーブルされていて、何時でもデバイスの書き込みが可能になっています。

デバイスが既にプログラムされている場合は、デバイス入力および出力はコンフィギュレーションされた通常動作の状態になります。JTAGピンはディセーブルされていて、何時でもデバイス消去またはバウンダリ・スキャン・テストが可能になっています。

開発システムのサポート

XC9500 CPLDファミリは、ザイリンクスまたはザイリンクスのAlliance プログラム・ベンダの提供する開発システムによりフル・サポートされています。ユーザは様々なソフトウェア・フロントエンドツールのABEL、回路図、論理式、VHDL、またはその他のHDL言語を使用してデザインすることができます。開発システムを使用して、デザインのインプリメンテーションを行い、JEDECビットマップを生成することができます。このJEDECビットマップはXC9500デバイスのプログラミングを行うときに使用されます。各開発システムには、JTAGダウンロードソフトウェアが含まれており、標準のJTAGインターフェイスとダウンロードケーブルを経由してデバイスのプログラミングを行う際に使用できます。

FastFLASH 技術

最先端のCMOS Flashプロセスを駆使して、全てのXC9500デバイスを製造しています。ザイリンクスのイン・システム・プログラミングCPLD用に特別に開発されたこのFastFLASHプロセスにより、高性能ロジック機能、高速なプログラミング時間、10,000回のプログラム/消去回数が得られました。

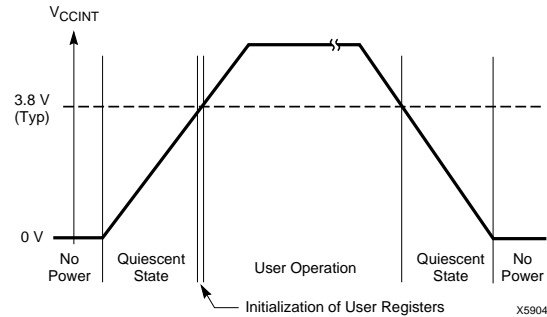


図 16: パワーアップ時のデバイス動作

1

表 4: タイミング・モデル・パラメータ

Description	Parameter	Product Term Allocator ¹	Macrocell Low-Power Setting	Output Slew-Limited Setting
Propagation Delay	t_{PD}	$+ t_{PTA} * S$	$+ t_{LP}$	$+ t_{SLEW}$
Global Clock Setup Time	t_{SU}	$+ t_{PTA} * S$	$+ t_{LP}$	—
Global Clock-to-output	t_{CO}	—	—	$+ t_{SLEW}$
Product Term Clock Setup Time	t_{PSU}	$+ t_{PTA} * S$	$+ t_{LP}$	—
Product Term Clock-to-output	t_{PCO}	—	—	$+ t_{SLEW}$
Internal System Cycle Period	t_{SYSTEM}	$+ t_{PTA} * S$	$+ t_{LP}$	—

注: 1. S = テキスト内で定義されたファンクションのロジック・スパン

表 5: XC9500 デバイスの特性

Device Circuitry	Quiescent State	Erased Device Operation	Valid User Operation
IOB Pull-up Resistors	Enabled	Enabled	Disabled
Device Outputs	Disabled	Disabled	As Configured
Device Inputs and Clocks	Disabled	Disabled	As Configured
Function Block	Disabled	Disabled	As Configured
JTAG Controller	Disabled	Enabled	Enabled

